

SOLDER AND CIRCUIT SUBSTRATE USING IT

Patent Number: JP11245083

Publication date: 1999-09-14

Inventor(s): KANEZUKA TAKASHI

Applicant(s): KYOCERA CORP

Requested Patent: JP11245083

Application Number: JP19980046013 19980226

Priority Number(s):

IPC Classification: B23K35/26; H05K3/34; H05K3/34

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a substrate to be soldered so as to enables to retain stable jointing even in a high temperature condition by adding Cu of a specified rate or less to a solder so as to enable a direct jointing to a Au plating layer.

SOLUTION: This solder 3 is composed by adding Cu in a range of 0-0.1 wt% (excluding 0) to metal components such as SnPb, SnAg and the like. Electric parts are jointed on a conductor pattern 2 formed by sequentially adhering a substrate conductor membrane 21, a Ni plating layer 22, and a Au plating layer 23 on an insulating substrate 1 via the solder 3. Thus, the Au component of the Au plating layer 23 is dispersed to the solder 3, and simultaneously some eutectic alloys 23a, 23b are formed at a jointing interface portion of the conductor pattern 2 and the solder 3. Though the Au component of the Au plating layer 23 is left in the eutectic alloys 23a, 23b, and the solder 3 by being taken as a substitution type solid solution, the generation of AuSn eutectic alloy which causes peeling off and the like can be restrained. The said condition is not changed at a high temperature.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-245083

(43)公開日 平成11年(1999)9月14日

(51)Int.Cl.

B 23 K 35/26

H 05 K 3/34

識別記号

310

501

512

F I

B 23 K 35/26

H 05 K 3/34

512

310 A

501 F

512 C

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号

特願平10-46013

(22)出願日

平成10年(1998)2月26日

(71)出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72)発明者 金塚 堂

鹿児島県国分市山下町1番1号 京セラ株
式会社鹿児島工場内

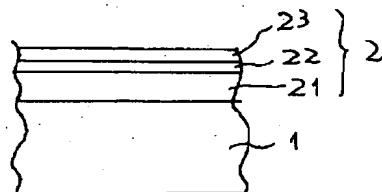
(54)【発明の名称】 半田及びそれを用いた回路基板

(57)【要約】

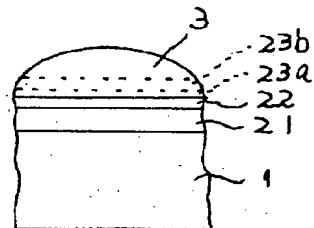
【課題】 本発明は、表面にAuメッキ層を有する導体パターンに、初期状態及び高温状態においても安定した接合が可能な半田及びそれを用いた回路基板を提供する。

【解決手段】 基板上に下地導体膜21、Niメッキ層22、Auメッキ層23からなる導体パターン2を形成するとともに、前記導体パターン2に電子部品4などを、Cuが0~1.0重量% (0を含まない) 含有する半田3を介して接合した回路基板である。

(a)



(b)



【特許請求の範囲】

【請求項1】 Cuを1.0重量%以下含有して成る半田。

【請求項2】 基板上に形成された下地導体膜、Niメッキ層、Auメッキ層からなる導体パターンに、Cuを0~1.0重量% (0は含まない) 含有する半田を介して電子部品及び又は他の回路基板の導体パターンを接合させたことを特徴とする回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Auメッキ層に接合可能な半田及びその半田を用いて下地導体導体膜、Niメッキ層、Auメッキ層からなる導体パターンに電子部品及びまたは他の回路基板をした回路基板に関するものである。

【0002】

【従来の技術】従来より、半田は、Sn-Pb合金、Sn-Pb-Ag合金、Sn-Pb-Bi合金、Sn-Pb-In合金、Sn-Pb-In-Sb合金などが知られていた。

【0003】しかし、これらの半田は、回路基板の厚膜導体膜やCu箔などから成る導体パターンを形成し、この導体パターンに電子部品や他の回路基板を接合する際に広く利用されている。

【0004】ところが、表面にAuメッキ層を有する導体パターンにおいては、これらの半田を直接使用することができなかった。

【0005】表面にAuメッキ層を有する導体パターンは、ICチップなどの接合方法としてワイヤボンディングを行うためである。そして、このような導体パターンは、結果ととして、ワイヤボンディング接合される部分以外のすべての箇所、例えば、電子部品の電極パッド（導体パターン）や端子部（導体パターン）にも必然的にAuメッキ層が被着される。このように表面に金メッキ層が被着された導体パターンは、半田濡れ性に優れていること、導体パターンの腐食変化がなく、安定した電気的な特性が維持されることの利点を有している。

【0006】従来のAuメッキ層を表面に有する導体パターンの構造は、例えばセラミック基板の表面に、メタライズ導体膜、Niメッキ層、Auメッキ層の多層構造となっている。このNiメッキ層は、表面のAuメッキの被着を確実に行えるようにするものである。

【0007】このような導体パターンに、電子部品などを半田接合するにあたり、導体パターンの表面メッキ層の材料であるAu成分と、半田の成分であるSnとでAu-Sn合金が形成されないように留意していた。このAu-Sn合金が、半田中に形成されると、これを起点に物理的破壊、電気的な故障を招いてしまう。

【0008】このため、従来では、Auメッキが施された導体パターン上に半田接合する場合には、Auメッキ

層の厚みを、例えば0.1μm以下と非常に薄くしたり、Auメッキ層上にさらにNiメッキ層を形成したりして、半田中に、SnとAuとの共晶合金が形成されないように制御していた。即ち、導体パターンの構成は、基板材料、下地導体膜、Niメッキ層、Auメッキ層、Niメッキ層としていた（特開平6-283844号）。

【0009】このような構成とすることにより、半田へのAuの拡散が発生しても、比較的早くに分散反応が終了して、初期状態の半田接合の信頼性が向上する。

【0010】

【発明が解決しようとする課題】しかし、上述のように、初期状態の半田接合については安定した接合信頼性を示していても、その後、例えば、100°C以上の高温環境下では、半田中に分散されていたAuが、導体パターン側、即ち、表面Niメッキ層側に拡散集結してしまい、表面Niメッキ層の近傍で、Ni₃Sn₄合金層が、表面Niメッキ層から離れるにしたがって、Au-Sn₄合金層が生成されやすくなり、その結果、高い信頼性の半田接合が維持できなくなるという問題点があつた。しかも、このようなメカニズムは、半田中のAuが0.21重量%と極めて微量でも発生することが知られている。

【0011】本発明は、上述の問題点に鑑みて案出されたものであり、その目的は、Auメッキ層に直接接合可能な半田を提供することにある。

【0012】また、別の目的は、初期状態の接合は勿論のこと、高温状態においても、安定した接合が維持できる半田接合される回路基板を提供することにある。

【0013】

【課題を解決するための手段】第1の発明は、Cuを1.0重量%以下含有して成る半田である。

【0014】また、第2の発明は、基板上に下地導体膜、Niメッキ層、Auメッキ層からなる導体パターンに、Cuを0~1.0重量% (0は含まない) 含有する半田を介して電子部品及び又は他の回路基板の導体パターンを接合させた回路基板である。

【0015】

【作用】本発明においては、SnPb、SnAgなどの半田中材料として、金属成分に対してCuが0~1.0重量% (0を含まない) となるように添加した半田である。

【0016】このような半田は、Auメッキ層上に電子部品などを半田接合しても、Sn-Auの合金が形成されない。従って、半田の利用範囲が非常に広がる。

【0017】また、回路基板において、導体パターンの表面にNiメッキ層、Auメッキ層が順次被着されていても、Cuを所定量添加した上述の半田でもって接合しても、Au-Sn合金よりも優先的にCu₃SnとCu₆Sn₅の2種合金層形成される。尚、Auメッキ層は半

田に拡散することから、実質的にCu₃SnとCu₆Sn₅の2種合金層は、半田とNiメッキ界面に形成される。

【0018】即ち、従来から半田接合の悪影響をあたえるAuSn合金を形成するAu成分は、固溶体として、CuSn合金中に分散する。その結果、AuSn合金層は形成されないことになる。

【0019】さらに高温環境下ではAu拡散による合金形成過程を経ても、AuはCuSn合金層と半田中に分散した状態を維持される。

【0020】これにより、導体パターン上に電子部品や他の回路基板を半田接合を行っても、その接合状態が初期状態及び高温環境下であっても、安定した状態が維持できる。

【0021】尚、Cu箔やCuの下地厚膜導体に直接半田接合を行った場合、Cuと半田のSn成分との合金であるCu₆Sn₅合金層は、その合金表面形状が激しい凹凸となってしまい、その結果、熱サイクル試験によって、Cu₆Sn₅合金層の凹凸が破壊しやすいものとなる。しかし、本発明におけるCu₆Sn₅合金層の表面には、凹凸が発生しにくく、熱サイクル試験をおこなっても、Cu₆Sn₅合金層と半田との間で剥離が発生しにくくなる。尚、この激しい凹凸は、Cu₆Sn₅合金形成に際してCu箔、Cuメッキ、Cu系厚膜導体よりも、Cuの供給量が少なくことにより緩和されるものと考えられる。

【0022】

【発明の実施の形態】以下、本発明に係る回路基板を図面に基づいて説明する。

【0023】図1は、本発明の回路基板の断面図であり、図2(a)～(b)は半田の接合状態を示す概略図である。

【0024】図において、1はセラミックなどの耐熱性絶縁基板、ガラスーエポキシなど樹脂基板であり、2は導体パターンであり、3は半田であり、4は電子部品である。

【0025】絶縁基板1の表面に、所定回路を構成する配線、外部のマザーボードと半田接合するための端子電極部、例えばポンディングワイヤを介してICチップが接続される電極パッド、抵抗、コンデンサやトランジスタなどが半田接合される電極パッドなどになる導体パターン2が形成されている。

【0026】この導体パターン2は、図2(a)に示すように、絶縁基板1上に被着形成された下地導体膜2-1、該下地導体膜2-1上に被着されたNiメッキ層2-2、該Niメッキ層2-2上に被着されたAuメッキ層2-3とから構成されている。

【0027】下地導体膜2-1は、例えば、モリブデン系、タンゲステン系、Cu系、Ag系の金属を主成分とするメタライズ導体、Cu箔導体などが例示できる。例

えば、メタライズ導体では、所定導電性ペーストを基板1の表面に印刷・焼き付け処理を行うことにより形成される。

【0028】Niメッキ層2-2は、下地導体2-1の表面に被着されるものであり、これは、表面にAuメッキ層2-3を形成するための下地メッキ層として作用するものである。尚、このNiメッキ層2-2は、Niの電界メッキや無電解メッキ法によって、例えば厚み0.5～1.5.0μm程度に形成されている。

【0029】Auメッキ層2-3は、Niメッキ層2-2の表面に被着され、例えば、ICチップのポンディングワイヤ接合を可能として、また、導体パターン2の表面の腐食を防止、半田濡れ性を良好にするものである。このAuメッキ層2-3は、例えば厚み0.05～0.1μm程度で形成されている。

【0030】以上のように、Auメッキ層2-3は、特に、ICチップをポンディングワイヤ接合するために、導体パターン2の安定した半田接合をするために被着形成するものであり、その形成方法がメッキ法であるため、導体パターン2の表面に付着されてしまうものである。

【0031】このような構造の導体パターン2上には、半田3を介して、積層セラミックコンデンサなどの電子部品4が接合されている。

【0032】本発明の半田3は、SnPb、SnAgなどの半田材料には、金属成分中に0～1.0重量%(0を含まない)の範囲でCuが添加されて構成されている。

【0033】上述のようにCuを添加することにより、導体パターン2の表面のAuメッキ層2-3のAu成分と半田3の成分であるSn成分との共晶合金の生成を抑制し、導体パターン2と半田3との剥離を発生させることを抑制する。

【0034】尚、上述の説明では、導体パターン2上に半田3を介して電子部品4を半田接合しているが、導体パターン2を端子電極として用いて、他の回路基板の導体パターンと半田接合しても構わない。

【0035】次に、図2は導体パターン2と半田3との接合状態、特に、接合に際しての化合物の状態を示す概略図である。

【0036】図2(a)は、基板1の表面に形成される導体パターン2、即ち、基板側から下地導体膜2-1、Niメッキ層2-2、Auメッキ層2-3の層構成を示している。

【0037】図2(b)は、本発明の半田3を導体パターン2上に半田接合した状態の図である。尚、図2(b)では、電子部品や他の回路基板の導体パターンなどを省略している。

【0038】本発明の半田3で半田接合を行うと、導体パターン2のAuメッキ層中のAu成分が、半田3に拡

散され、同時に、導体パターン2と半田3との接合界面部分に、いくつかの共晶合金23a、23bが形成される。

【0039】上述の生成共晶合金物質は、主に、 Cu_6Sn_5 、 Cu_3Sn などが挙げられ、両者の接合界面において、導体パターン2側に Cu_3Sn 共晶合金がリッチな層23aが生成され、半田側に Cu_6Sn_5 共晶合金がリッチな層23bが生成される。

【0040】そして、Auメッキ層23のAu成分は、この生成共晶合金物質である $Cu-Sn$ 共晶合金が形成された層23a、23b及び半田3中に、置換型固溶体として取り込まれて残留するものの、剥離等の原因となる $Au-Sn$ 共晶合金の生成が有効に抑えられる。

【0041】しかも、高温環境下、熱サイクル試験を行っても、 $Cu-Sn$ 層23a、23bの Cu_6Sn_5 、 Cu_3Sn などの共晶合金の変質はみられず、 $Au-Sn$ 共晶合金の生成の発生がないため、導体パターン2と半田3との安定した接合が維持できることになる。

【0042】(実験例)本発明は、半田に対するCuの添加量による作用効果について調べた。試料として、アルミナ基板の表面にタンゲステンからなる下地導体膜21を約8~15μmの厚みで形成し、その表面にNiメッキ層22を約3~15μmの厚みで形成し、さらにその表面にAuメッキ層23を約0.01~0.10μmの厚みで形成した。

【0043】このような回路基板1に対して、基板材料であるアルミナとは異なる熱膨張係数を有する表面実装用電子部品を半田3でもっても半田接合した。

【0044】そして、冷熱サイクル環境にさらすことでの基板と表面実装用電子部品との間での機械的なストレスが発生して、半田に機械的ストレスが加わり、クラックが発生する。これは半田金属の機械的疲労による劣化である。さらに冷熱サイクル環境にさらすことで、ついに

は半田3部分で電気的な断線が発生する。冷熱サイクル環境は-40°Cと+130°Cの2種類の液体の中に交互に各5分間浸すことを1サイルクとして、クラックが発生するサイクル数と断線が発生するサイクル数を調べた。

【0045】尚、高温にさらすことで、Auが集合してAu-Sn合金層を形成するメカニズムは、この冷熱サイクル試験の高温環境下で発生させた。

【0046】また、研磨断面をX線マイクロアナライザーで面分析して、各含有元素の所在を確認して生成された合金層を確認した。

【0047】以上のとおり、半田の劣化は機械的疲労劣化と熱疲労劣化の2つが支配する。

【0048】半田接合に用いる半田3は、 $SnAg$ から成る合金($Sn:Ag=96.5:3.5$)に対して、Cuを0~1.75wt%の範囲で種々変化させた材料と、一般に多用されている半田を比較評価した。

【0049】また、基板のAuメッキ厚みも0.01~0.10μmの範囲で種々変化させて、上記半田との組み合わせ評価を行った。尚、表面実装用電子部品としてチタン酸バリウム系のセラミックコンデンサを用いた。尚、各々の熱膨張係数は基板7ppm、表面実装用電子部品11ppm、半田25ppmであり、1素子あたりの熱膨張収縮の差は約1.0μmに相当する。

【0050】その結果を表1に示す。尚、評価として半田にクラックが発生するサイクル数は、1000回を越えるものを良品とし、表面実装用電子部品(積層セラミックコンデンサ)の電気特性不良が発生するサイクル数は、3000回以上を良品として、 $Au-Sn$ 合金層の形成の可否は、形成されないものを良品とした。

【0051】

【表1】

試料番号	半田の基本組成	Cuの添加量 wt%	Auメッキ層の 厚み μm	サイクル数		AuSn合金層の 形成有無
				クラック発生	特性不良	
* 1	Sn 62 Pb 38	0	0.01~0.05	500	1500	有
* 2	Sn 62 Pb 36 Ag 2	0	0.01~0.05	500	1400	有
* 3	Sn 60 Pb 37 Bi 3	0	0.01~0.05	500	500	有
* 4	Sn 62 Pb 36 In 1 Sb 1	0	0.01~0.05	900	900	有
* 5	Sn 62 Pb 36 Bi 1 Ge 1	0	0.01~0.05	200	1100	有
* 6	Sn 10 Pb 90	0	0.01~0.05	300	3000>	有
* 7	Sn 96.5 Ag 3.5	0	0.01~0.05	1000	2000	有
* 8	Sn 96.5 Ag 3.5	0	0.06~0.10	900	2000	有
9	Sn 96.5 Ag 3.5	0.25	0.01~0.05	1300	3000>	無
10	Sn 96.5 Ag 3.5	0.25	0.06~0.10	1300	3000>	無
11	Sn 96.5 Ag 3.5	0.50	0.01~0.05	1500	3000>	無
12	Sn 96.5 Ag 3.5	0.50	0.06~0.10	1500	3000>	無
13	Sn 96.5 Ag 3.5	0.75	0.01~0.05	1600	3000>	無
14	Sn 96.5 Ag 3.5	0.75	0.06~0.10	1600	3000>	無
15	Sn 96.5 Ag 3.5	1.00	0.01~0.05	1500	3000>	無
16	Sn 96.5 Ag 3.5	1.00	0.06~0.10	1500	3000>	無
* 17	Sn 96.5 Ag 3.5	1.75	0.01~0.05	1100	3000	無
* 18	Sn 96.5 Ag 3.5	1.75	0.06~0.10	1100	3000	無

* 印は本発明の範囲外である。

【0052】表1から、半田に添加するCu成分の添加量が0の場合（試料番号1～8）、導体パターン2と半田3との接合界面に、導体パターン2と半田3との間で剥離を発生させるAuSn共晶層が生成されてしまう。このため、初期接合強度が充分でなく、さらに、約100回以下の冷熱サイクルで半田部分にクラックが発生してしまう。

【0053】さらに、Cuの添加量が1.0重量%を越える（試料番号17、18）と、半田のクラックが冷熱サイクルが約1100回となり、また、表面実装用電子部品（積層セラミックコンデンサ）の熱にクラックが発生しやすくなる。これは、冷熱サイクルが約1100回程度で半田にクラックが発生し、その後のストレスが直接積層セラミックコンデンサに印加されるためと考えられる。

【0054】以上のこととは、半田にCu成分を1.0重量%以下の範囲で添加することが重要である。これより、Auメッキ層23を有する導体パターンに電子部品4やその他の回路基板の導体パターンを半田接合しても、Au-Sn合金層が形成されず、非常に良好な接合が達成される。

【0055】具体的には、初期状態の接合強度勿論のこと、-40°C～+130°Cの環境下で使用しても、非常に信頼性の高い接合が達成される回路基板となる。

【0056】尚、上述の実験例としては、半田3として、SnAg系半田で説明した。これには、人的保護、環境保護の観点で、Pbを含まないように考慮していることが背景にあり、試料番号1～6のような半田であっても同様の作用効果を有することを確認している。

【0057】上述の実施例では、基板の表面に形成した導体パターンについて説明したが、基板の端面や裏面に

形成した導体パターンを、端子電極部に用い、他のマザーボードに上述の半田を用いて接合しても構わない。

【0058】

【発明の効果】本発明によれば、Snを含有するSnPbやSnAgなどの半田中に、Cuを添加している。このため、AuSn合金よりも優先的に異なる合金(Cu₃SnとCu₆Sn₅)が形成される。このため、Auメッキ層上に半田を接合して、Auが半田中に拡散しても、拡散したAuはCuSn合金中に置換型固溶体として取り込まれるため、AuSn₄合金の生成を抑制できる。

【0059】また、このような半田を使用した回路基板においては、高温環境下でのAu拡散による合金形成過程を経ても、AuはCuSn合金内に固溶体として残留し、拡散集結によるAuSn合金形成を行わない。

【0060】従って、導体パターンの表面に、Auメッキ層のAu成分の拡散を防止するNiメッキ層を形成する必要がなく、特に、高温環境下、熱サイクル環境下においても、電子部品や他の回路基板の導体パターンと信頼性の高い接合強度が達成される。

【図面の簡単な説明】

【図1】本発明に係る回路基板の断面図である。

【図2】(a)～(b)は、本発明の半田による共晶合金の生成状態を示す概略図である。

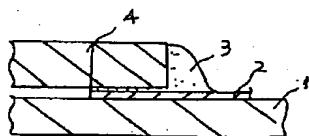
【符号の説明】

- 1 … 回路基板
- 2 … 導体パターン
- 21 … 下地導体膜
- 22 … Niメッキ層
- 23 … Auメッキ層
- 3 … 半田

(6)

特開平11-245083

【図1】



【図2】

